

METHOD OF PRODUCING HYBRID CIRCUIT BOARD

Patent number: JP57050489
Publication date: 1982-03-24
Inventor: TACHIKI SHIGEMI
Applicant: NIPPON ELECTRIC CO
Classification:
- **International:** H01C17/06; H01L27/01; H05K3/06
- **European:**
Application number: JP19800126228 19800911
Priority number(s): JP19800126228 19800911

Report a data error here

Abstract not available for JP57050489

Data supplied from the **esp@cenet** database - Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57—50489

⑮ Int. Cl.³
H 05 K 3/06
H 01 C 17/06
H 01 L 27/01

識別記号

庁内整理番号
6465—5F
6730—5E
6370—5F

⑯ 公開 昭和57年(1982)3月24日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 混成集積回路の製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭55—126228

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭55(1980)9月11日

東京都港区芝五丁目33番1号

⑲ 発 明 者 立木茂実

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

混成集積回路の製造方法

2. 特許請求の範囲

絶縁基板上に第一の金属層を介して導電体層を形成する工程と、該導電体層上にホトレジストパターンを形成後、該ホトレジストパターンをマスクにして、選択的にメッキ金属層を形成する工程と、該ホトレジストパターンを剝離除去した後、基板全面に再度ホトレジストパターンを形成し、該ホトレジストパターンをマスクにして、前記工程により露出した部分の導電体層及びその下の第一の金属層をエッチングすることにより導電体回路を形成する工程とを含むことを特徴とする混成集積回路の製造方法。

3. 発明の詳細な説明

本発明は混成集積回路の製造方法に関するもの

である。

混成集積回路基板の製造は絶縁性のあるセラミックス等の基板上にスパッタリング法、真空蒸着法等により金属層を被覆し、ホトエッチング技術により導電体や抵抗体を形成する方法が一般に行なわれている。また、高周波領域で使用される混成集積回路用基板におけるマイクロストリップライン等の製法は、電気伝導の損失を少なくするため、スパッタリング法や真空蒸着法により形成された薄膜の上に金や銅などのメッキを施し、ホトエッチング技術によりパターン形成する方法が行なわれている。

しかしながら、ホトエッチングによるパターン形成法では膜厚の増加したメッキ膜においては、メッキ厚のバラツキやエッチング条件により高周波領域で特に要求されるマイクロストリップラインのパターン精度のコントロールが非常に困難である。すなわち、ホトレジストに対するサイドエッチが生じるため、所望のパターン精度を得ることができない。

前記のサイドエッチを防ぐため選択メッキ方法が行なわれるが、従来の製法は一般に次の様になる。

セラミックス等の絶縁基板上に、真空蒸着法により基板との密着性を得るための金属層として、Ni-Cr 合金薄膜を被着せしめ、更に導電体層として金薄膜を被着形成する。次にメッキを施す箇所以外はホットレジストがおおわれる様に露光、現像処理し、このホットレジストをマスクとして電解メッキ法により金を所望の厚みまで付着形成する。次にホットレジストを除去しメッキの施されていない金薄膜をヨウ素-ヨウ化カリウム水溶液でエッチングし除去する。次に下地金属層Ni-Cr 合金薄膜を塩化第二鉄と塩酸の溶液でエッチング除去し所望の薄膜回路を得る。しかしながら上記従来方法ではメッキの施されていない金薄膜をヨウ素、ヨウ化カリウム水溶液でエッチング除去する際、金メッキ膜が露出しているため、ヨウ素-ヨウ化カリウム水溶液に表面を侵食され、後にトランジスタやコンデンサ等の能動部品の搭載や、外部リ

- 3 -

した後、現像処理を行ない露光されなかった個所のポジティブレジストを第二の金属層3上に残し、メッキを施すときのマスクとして使用する(第1図)。

この基板に金の電解メッキ約5 μ m膜厚を施し、ポジティブレジスト4によつてマスクングされた以外の第二の金属層3上に金メッキ膜6を形成する(第2図)。

次にマスクングに使用したポジティブレジスト4をレジストストリッパJ-100等を用いて剝離除去した後、該基板にネガティブレジスト7を膜厚約2~3 μ m塗布し、ホットマスク5の上から紫外線8を照射して露光する(第3図)。その後、現像処理を行ない、金メッキ膜6の上だけネガティブレジストが残る様にする(第4図)。この場合、メッキ用マスクングのために使用した最初のホットマスク5が使用でき、ホットマスク5の位置を固定しておけば、基板の端面を基準にした位置合わせで、第1図のときと全く同一の箇所を露光することができる。電気光学的オートアライメント

- 5 -

特開昭57- 50489(2)

ード付のときのボンディング性や半田付性に均一で信頼性のある接合強度が得られない欠点を有する。

本発明の目的は、上記したパターン形成時の金メッキ膜露出の欠点に鑑みてなされたもので、高パターン精度を有した高周波用薄膜回路の製造方法を提供するにある。

次に実施例により本発明を図面を参照して具体的に説明する。

第1図~第5図は本発明の一実施例の製造工程を示す断面図である。

セラミックス等の絶縁基板1上に該基板1と密着性をもたせるための第一の金属層2としてNi-Cr 合金薄膜を約400オングストロームの膜厚に、更にその上に金を3000オングストロームの膜厚にそれぞれ真空蒸着法により付着形成し、第二の金属層3とする。次に該金属層3の上にポジティブホットレジスト4を約8 μ m程度の膜厚に塗布し、メッキが施されるべき個所が、透明である様なパターンを有するホットマスク5を該ポジティブレジスト4上に重ね、紫外線8を照射して露光

- 4 -

機を具備した露光装置を使用すれば更に位置合わせ精度は向上する。この際に金メッキ膜6の上だけレジストでおおわれ、メッキが施されていない金属層3である金薄膜が露出する。

次にヨウ素-ヨウ化カリウム水溶液で金薄膜3をエッチング除去し、塩化第二鉄、塩酸溶液でNi-Cr 合金薄膜2をエッチング除去する。そして、ネガティブレジスト7をレジストストリッパJ-100等を用いて剝離除去し、所望の金メッキされた薄膜集積回路基板を得る(第5図)。

本発明の方法によれば、ホットレジストに対するサイドエッチが原因であるパターン精度の低下がおきないため、ホットレジストに忠実なメッキパターン精度を得ることができ、金メッキ膜は、ホットレジストにより保護されているので、メッキ用の下地金属膜をエッチングするとき表面が侵食されることはなく、後工程で行なわれるボンディングや半田付作業の信頼性を損なうことがなくなる。

4. 図面の簡単な説明

- 6 -

第1図～第5図は本発明の一実施例を説明するための断面図である。

1…セラミック基板、2…Ni-Cr合金薄膜、3…金蒸着薄膜、4…ポジタイプレジスト、5…ホトマスク、6…金メッキ薄膜、7…ネガタイプレジスト、8…紫外線。

代理人 弁組士 内 原 賢

- 7 -

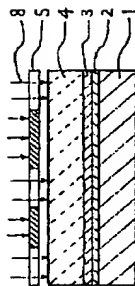


図1
断面

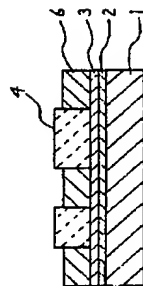


図2
断面

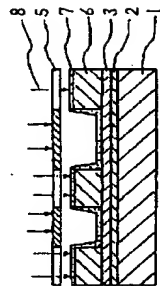


図3
断面

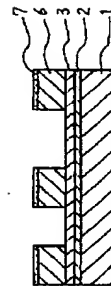


図4
断面

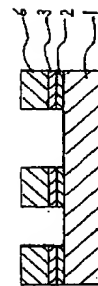


図5
断面